

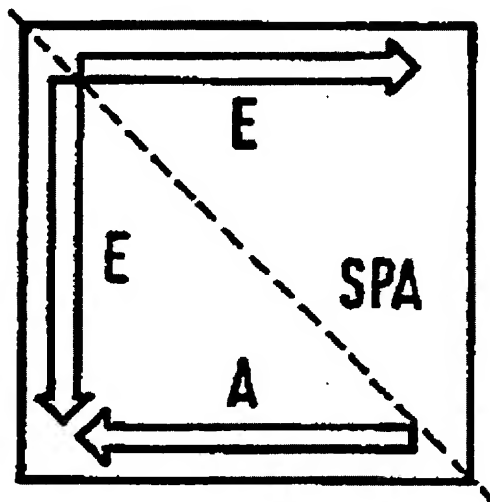
Surface mounted component with several input and output terminals - has input terminal divided into several groups, each at one component outer surface

Patent number: DE4232268
Publication date: 1994-03-31
Inventor: SCHINAGEL DIETER DIPL ING (DE); TREYER THOMAS DIPL ING (DE)
Applicant: SIEMENS AG (DE)
Classification:
- International: *H01L23/50; H04Q3/52; H04Q11/04; H05K1/18; H05K1/02; H01L23/48; H04Q3/52; H04Q11/04; H05K1/18; H05K1/02; (IPC1-7): H01L23/50; H01L25/10; H05K1/02*
- european: H01L23/50; H04Q3/52K1; H04Q11/04S2; H05K1/18B
Application number: DE19924232268 19920925
Priority number(s): DE19924232268 19920925

Report a data error here

Abstract of DE4232268

The surface mounted component has identical input and output terminals (E,A). The component has an SMD housing with a number of terminals at the connecting sides. The input terminals are divided into at least two groups, each on an outer surface of the component. The input terminal gps. are symmetrically fitted in a mirror axis (SPA), parallel to the surface sides of the component and a circuit board. Pref. on another outer side common output and potential terminals are fitted such that, on fitting of two outer sides with input terminals, the fourth outer side remains free. USE/ADVANTAGE - For processing digital signal with bit rate of several hundred M bit per sec.. Provides intersection-free connections on circuit board even at high data rates. Conforms to 50 Ohm characteristic input impedance on connection to further components.



Data supplied from the **esp@cenet** database - Worldwide



②1 Aktenzeichen: P 42 32 268.5
②2 Anmeldetag: 25. 9. 92
④3 Offenlegungstag: 31. 3. 94

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Schinagel, Dieter, Dipl.-Ing., 8000 München, DE;
Treyer, Thomas, Dipl.-Ing., 8000 München, DE

⑤6 Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

DE 31 01 932 A1

EP 04 30 458 A2

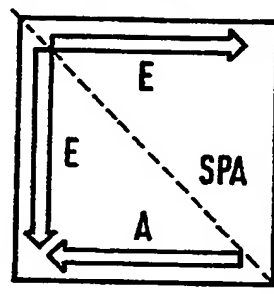
N.N.: Novel Chip Image for Reduced Wiring
Lengths. In: IBM Technical disclosure Bulletin,
Vol.34, No.7B, Dec.1991, S.368-369;

N.N.: Semiconductor Packaging Using
»Chip-Mate«...In: IBM Technical Disclosure Bulletin,
Vol.27, No.11, April 1985, S.6507-6509;

KIRCHNER, Gerhard: Surface Mounted Devices. In:
Elektronik, 22/30.10.1987, S.141-144;
Patents Abstracts of Japan: 3-151687 A. 27.6.1991;
3-150869 A. E-1115, Sep 25, 1991, Vol.15, No.379;

⑤4 Oberflächenmontierbarer Baustein, insbesondere für Koppellemente und hohe Datenraten

⑤7 Bei hohen Datenraten und hoher Komplexität der Schal-
tung - beispielsweise mit 320 Eingangs- und 160 Ausgangs-
anschlüssen - ergeben sich bei Verwendung üblicher SMD-
Bausteine auch bei mehrlagigen Leiterplatten erhebliche
Probleme, die üblicherweise mittels Multichipmodulen um-
gangen werden. Erfindungsgemäß wird deshalb ein oberflä-
chenmontierbarer Baustein so aufgebaut, daß die Eingangs-
anschlüsse in zwei Gruppen aufgeteilt werden, deren An-
schlüsse symmetrisch zu einer den Baustein diagonal
schneidenden Spiegelachse sind, so daß bei einer Montage
auf der Ober- und der Unterseite der Leiterplatte diese
Anschlüsse durch einfache Durchkontaktierungen verbind-
bar sind damit wellenwiderstandsrichtig parallelgeschaltet
werden können.



Die Erfindung betrifft einen oberflächenmontierbaren Baustein entsprechend dem Oberbegriff des Anspruchs 1.

Oberflächenmontierbare Bausteine, die auch als SMD (Surface Mounted Devices)-Bausteine bezeichnet werden, dienen in zunehmenden Maße auch für die Verarbeitung digitaler Signale mit Bitraten von wenigstens einigen hundert Mbit/s. Bei diesen hohen Datenraten ist eine möglichst kurze Leiterbahnführung auf den für die Aufnahme der Bausteine vorgesehenen Leiterplatten notwendig. Dabei können Probleme dadurch entstehen, daß ab einer bestimmten Komplexität der Schaltung bzw. einer entsprechenden Anzahl der Anschlüsse die gewünschte kreuzungsfreie Verbindung mit möglichst kurzen Leiterbahnen nicht mehr erreicht werden kann. Eine Ausweichmöglichkeit besteht dann in der Verwendung von mehrlagigen Leiterplatten, bei denen Durchkontaktierungen zwischen den einzelnen Ebenen der Leiterplatte kreuzungsfreie Verbindung ermöglichen. Im Hinblick auf die hohen Datenraten ergibt sich dabei das Problem, daß die Eingangsanschlüsse der Bausteine und der gesamten Leiterplattenanordnung mit diesem Baustein wellenwiderstandsrichtig abzuschließen sind. Dieses Problem wird besonders dann gravierend, wenn die Eingangssignale der Leiterplattenanordnung durch Leiterbahnen auf zwei Bausteine aufgeteilt werden soll. Bei der Verwendung von angepaßten passiven Leiterbahnverzweigungen ergibt sich dabei das Problem, daß die Verbindungen zu den Leiterplatten in der Regel über Leitungen mit einem Wellenwiderstand von 50 Ohm erfolgt, für eine passive Leiterbahnverzweigung auf zwei Bausteinanschlüsse aber die Parallelschaltung von zwei Leiterbahnen mit einem Wellenwiderstand von 100 Ohm vorzusehen ist, die aber auf den üblicherweise verwendeten Leiterplatten derzeit kostengünstig nicht herstellbar sind.

Die Aufgabe bei der vorliegenden Erfindung besteht also darin, einen oberflächenmontierbaren Baustein der eingangs erwähnten Art so weiterzubilden, daß dieser bei hohen Datenraten und einer Vielzahl von Anschlüssen kreuzungsfreier Verbindungen auf einer Leiterplatte ermöglicht und eine wellenwiderstandsrichtige Anpassung der Eingangsanschlüsse zweier Bausteine an eine 50 Ohm-Eingangsleitung erzielt werden kann.

Erfindungsgemäß wird die Aufgabe durch einen Baustein der eingangs erwähnten Art gelöst, der durch die Merkmale des Kennzeichens des Patentanspruchs 1 weitergebildet ist. Ein besonderer Vorteil der erfindungsgemäßen Lösung ist die Möglichkeit, auch weiterhin die üblichen Herstellungstechniken für diese Bausteine verwenden zu können, zusätzliche Vorteile ergeben sich dadurch, daß eine angepaßte passive Leiterbahnverzweigung an eine Eingangsleitung möglich ist, so daß durch den Wegfall aktiver Verzweigungen in Form von Gattern oder Verstärkern Platz auf der Leiterplatte und Verlustleistung eingespart und die Zuverlässigkeit der gesamten Anordnung erhöht wird. Eine im Hinblick auf die Anwendung in Koppelfeldern für Datenraten von etwa 600 Mbit/s besonders vorteilhafte Ausbildung eines erfindungsgemäßen Bausteins ist in den Patentansprüchen 2 und 3 beschrieben, der Patentanspruch 4 enthält eine zweckmäßige Weiterbildungen dieses Bausteins.

Die Erfindung soll im folgenden anhand eines in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert werden.

Dabei zeigt:

Fig. 1 die Schaltung eines Teiles eines Koppelfeldes, in der der erfindungsgemäße Baustein verwendet werden soll und

Fig. 2 einen erfindungsgemäßen SMD-Baustein und Fig. 3 die Realisierung der Schaltung nach Fig. 2 mit erfindungsgemäßen SMD-Bausteinen.

Der erfindungsgemäße SMD-Baustein dient zur Realisierung des in Fig. 1 dargestellten Teils eines Koppelfeldes oder Koppelnetzes. Der dargestellte Teil weist eine sogenannte "Trichterstruktur" auf, bei der die Signale von 4 logischen Eingängen E1 ... E4 mittels sechs Koppellementen KE1 ... KE6 jeweils paarweise zusammengefaßt und an zwei logischen Ausgängen A1, A2 abgegeben werden. Jeder der logischen Eingänge und Ausgänge umfaßt dabei 80 einzelne Eingangsanschlüsse, so daß der Schaltungsteil nach der Fig. 1 insgesamt 320 Eingangsanschlüsse und 160 Ausgangsanschlüsse mit den entsprechenden Verbindungen zu den Koppellementen enthält, wobei die Koppellemente ihrerseits jeweils 80 einzelne Koppelschaltungen mit jeweils 2 Eingängen und einem Ausgang enthalten. Für die Zusammenfassung der Eingangssignale dienen in einer ersten Ebene ein erstes bis viertes Koppellement KE1 ... KE4 mit je zwei Eingangsgruppen, die jeweils 80 auch als Eingangspins bezeichnete Einzelanschlüsse umfassen. Die Ausgangssignale dieser Koppellemente werden durch ein fünftes und sechstes Koppellement KE5, KE6 zusammengefaßt und an einen ersten bzw. zweiten logischen Ausgang A1, A2 abgegeben. Die Eingangsgruppen der Koppellemente sind dabei im Hinblick auf die logische Verknüpfung der Eingangssignale gleichwertig. Die Verbindungen in der Fig. 1 zeigen also nicht die einzelnen Verdrahtungen zwischen den vielen logischen Eingängen und den Einzelanschlüssen der Koppelschaltungen, sondern deren gruppenweise Zusammenfassung. Der erste logische Eingang E1 ist ebenso wie die anderen Eingänge über 80 einzelne Verbindungen mit den ersten Eingangsgruppen und der zweite logische Eingang ist entsprechend mit den zweiten Eingangsgruppen des ersten und dritten Koppellementes KE1, KE3 verbunden. Entsprechend sind der dritte logische Eingang E3 mit den ersten Eingangsgruppen und der vierte logische Eingang E4 mit den zweiten Eingangsgruppen des zweiten und vierten Koppellementes KE2, KE4 verbunden. Zur Zusammenfassung der Ausgangssignale des ersten bis vierten Koppellementes ist der Ausgang des ersten Koppellementes KE1 mit der ersten Eingangsgruppe und der Ausgang des zweiten Koppellementes KE2 mit der zweiten Eingangsgruppe des fünften Koppellementes KE5 verbunden, entsprechend sind der Ausgang des dritten Koppellementes KE3 mit der ersten Eingangsgruppe und der Ausgang des vierten Koppellementes KE4 mit der zweiten Eingangsgruppe des sechsten Koppellementes KE6 verbunden. Aus der Fig. 6 ist erkennbar, daß jeder der logischen Eingänge mit einer Eingangsgruppe von zwei Koppellementen verbunden ist, die Eingangsanschlüsse von jeweils einer Eingangsgruppe beider Koppellemente sind also bei der Realisierung wellenwiderstandsrichtig parallel zu schalten.

In der Fig. 2 ist der erfindungsgemäße SMD-Baustein dargestellt, der jeweils eines der Koppellemente KE1 ... KE6 der Schaltung nach der Fig. 1 umfaßt. Bei der üblichen Ausbildung derartiger SMD-Bausteine sind die Anschlüsse an den Außenseiten des Bausteins herausgeführt. Erfindungsgemäß sind nun diese Anschlüsse nur an drei Außenseiten des SMD-Bausteins herausgeführt.

Alle Einzelanschlüsse der einen Eingangsgruppe sind gemeinsam an einer Außenseite mit in Pfeilrichtung ansteigender Nummer der Anschlüsse herausgeführt, an einer dieser Außenseite unmittelbar benachbarten Außenseite sind die Anschlüsse der anderen Eingangsgruppe ebenfalls mit in Pfeilrichtung ansteigender laufender Nummer herausgeführt und dieser Anschlußseite gegenüber die Gruppe der Ausgangsanschlüsse und gegebenenfalls der Potentialanschlüsse, wobei die laufende Nummer auch hier in Pfeilrichtung ansteigt. Die Spiegelachse SPA durchschneidet den Baustein dabei diagonal am Schnittpunkt der beiden mit den Anschlüssen für die Eingangsgruppen belegten Außenseiten einerseits und andererseits am Endpunkt der Außenseite für die Ausgangs- und Potentialanschlüsse. Die Pfeilrichtung, also die Anstiegsrichtung für die laufende Nummer der Anschlüsse ist dabei so gewählt, daß jeweils der Anschluß der Eingangsgruppen und der Ausgangspotentialanschlüsse in der Nähe der Spiegelachse liegt, eine inverse Anordnung ist aber ebenso möglich. Da die Anschlüsse für die beiden Eingangsgruppen gleichwertig sind, können diese Anschlüsse — allerdings nur gruppenweise — miteinander vertauscht werden.

In der Fig. 3 sind sechs der erfindungsgemäßen SMD-Bausteine nach Fig. 2 auf einer Leiterplatte so angeordnet, daß sich kreuzungsfreie Verbindungen und im Hinblick auf die Hochfrequenzdesign-Regeln auch optimale kurze Leiterbahnverbindungen ergeben. Die sich entsprechend den sechs Koppellementen KE1 ... KE6 ergebenden sechs SMD-Bausteine sind dabei so angeordnet, daß bei Fig. 3a der erste Baustein KE1 auf der Oberseite und der dritte Baustein KE3 auf der Unterseite befestigt sind, bei 3b) sind auf der Oberseite der Leiterplatte der vierte Baustein KE4 und auf der Unterseite der zweite Baustein KE2 angeordnet. In der Zeichnung sind durch schwarze Pfeile die Anschlußbelegungen des auf der Oberseite angeordneten Bausteins und durch schraffierte Pfeile die Anschlußbelegungen des auf der Unterseite montierten Bausteins dargestellt. Außerdem ist bei 3c) der fünfte Baustein KE5 auf der Oberseite und bei 3d) der sechste Baustein KE6 auf der Unterseite der Leiterplatte montiert.

Der erste und der dritte sowie der vierte und der zweite Baustein sind so montiert, daß die entsprechend der Schaltung nach Fig. 1 parallel zu schaltenden Eingangsanschlüsse zwar auf getrennten Oberflächenseiten aber an der gleichen Stelle der Leiterplatte anliegen, so daß diese Eingangsanschlüsse leicht durch entsprechend vorgesehene Durchkontaktierungen zu verbinden und damit parallel zu schalten sind. Dabei ist auch erkennbar, daß die Anschlüsse der Eingangsgruppen in gleicher Pfeilrichtung und damit in der richtigen Reihenfolge übereinander liegen, während die Ausgangsanschlüsse dieser Bausteine getrennt liegen, da diese Ausgangsanschlüsse nicht parallel zu schalten, sondern mit den entsprechenden Eingangsanschlüssen des fünften und sechsten Bausteins KE5, KE6 zu verbinden sind. Es ist dabei erkennbar, daß von den Ausgangsanschlüssen A des ersten Bausteins KE1 zur entsprechenden Eingangsgruppe des fünften Bausteins KE5 wegen der unmittelbar benachbarten Anordnung nur sehr kurze Leiterbahnen als Verbindungen benötigt werden, dies gilt auch für die Ausgangsanschlüsse A' des zweiten Bausteins KE2 zur zweiten Eingangsgruppe des fünften Bausteins KE5. Bei der Verbindung der Ausgangsanschlüsse des zweiten und des vierten Bausteins KE2, KE4 zu den Eingangsanschlüssen des fünften bzw. sechsten Bausteins KE5, KE6 werden zusätzlich Durchkontaktierungen be-

nötigt, da die entsprechenden Anschlüsse auf unterschiedlichen Oberflächenseiten der Leiterplatte liegen. Eine sehr kurze Verbindung ergibt sich schließlich zwischen den Ausgangsanschlüssen A' des dritten Bausteins KE3 und den zugeordneten Eingangsanschlüssen E' des sechsten Bausteins KE6, da in diesem Falle beide Anschlußgruppen an der Unterseite der Leiterplatte unmittelbar benachbart über einfache und sehr kurze Leiterbahnsegmente verbindbar sind.

Aus der Fig. 3 ist erkennbar, daß sich bei der Anwendung der erfindungsgemäßen Bausteine trotz komplexer Schaltungen eine sehr übersichtliche und wenig aufwendige Leiterplattenanordnung zur Realisierung der Schaltung nach Fig. 1 ergibt.

Patentansprüche

1. Oberflächenmontierbarer Baustein mit einer Vielzahl jeweils gleichartiger Eingangs- und Ausgangsanschlüsse und mit einem oberflächenmontierbarem, sogenannten SMD-Gehäuse, bei dem an Anschlußseiten eine Vielzahl von Anschlüssen angeordnet sind, dadurch gekennzeichnet, daß die Eingangsanschlüsse in wenigstens zwei Eingangsgruppen (E) aufgeteilt sind, daß jede der Eingangsgruppen (E) an einer Außenseite des Bausteins angeordnet ist und daß die Eingangsgruppen (E) symmetrisch zu einer Spiegelachse angeordnet sind, die parallel zu den Oberflächenseiten des Bausteins und der Leiterplatte verläuft.
2. Oberflächenmontierbarer Baustein nach Patentanspruch 1, dadurch gekennzeichnet, daß an einer weiteren Außenseite gemeinsam Ausgangs- und zugeordnete Potentialanschlüsse (A) vorgesehen sind, so daß bei der Belegung von zwei Außenseiten mit Eingangsanschlüssen (E) die vierte Außenseite davon frei bleibt.
3. Oberflächenmontierbarer Baustein nach Patentansprüchen 1 oder 2, dadurch gekennzeichnet, daß die Spiegelachse (SPA) für die Eingangsgruppen (E) vom Schnittpunkt der beiden, mit den Eingangsgruppen (E) belegten Außenseiten diagonal über den Baustein und parallel zu den beiden größeren Oberflächenseiten verläuft und daß vom Schnittpunkt der beiden Außenseiten aus die laufende Nummer der Einzelanschlüsse der Eingangsgruppen (E) ansteigt.
4. Oberflächenmontierbarer Baustein nach Patentanspruch 1, dadurch gekennzeichnet, daß den Eingangsgruppen zusätzlich Potentialanschlüsse zugeordnet sind, die wie die Eingangsanschlüsse aufgeteilt und angeordnet sind.
5. Oberflächenmontierbarer Baustein nach Patentansprüchen 1 oder 2, dadurch gekennzeichnet, daß die Spiegelachse (SPA) für die Eingangsgruppen (E) vom Schnittpunkt der beiden mit den Eingangsgruppen belegten Außenseiten diagonal über den Baustein und parallel zu den beiden größeren Oberflächenseiten verläuft und daß vom Schnittpunkt der beiden Außenseiten aus die laufende Nummer der Einzelanschlüsse der Eingangsgruppen (E) abfällt.
6. Oberflächenmontierbarer Baustein nach Patentansprüchen 1 bis 5, dadurch gekennzeichnet, daß die laufende Nummer der Anschlüsse der Ausgänge (A) in entgegengesetzter Richtung zu der der auf der gegenüberliegenden Außenseite angebrachten

Eingangsanschlüsse ansteigt.

Hierzu 2 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

FIG 1

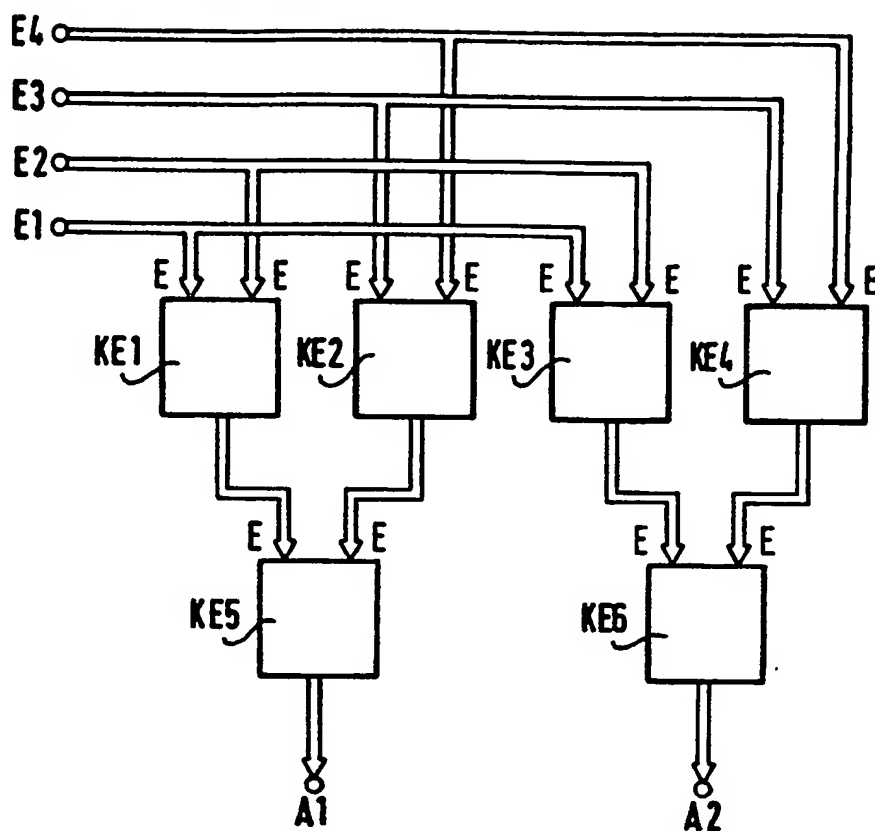


FIG 2

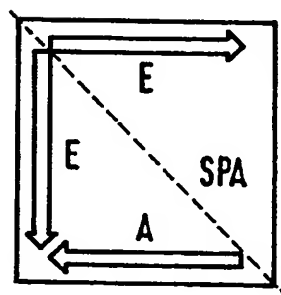


FIG 3

